

基于多路径路由片上网络的低功耗联合编码电路设计

杜高明,李向阳,马世碧,宋宇鲲,张多利

(合肥工业大学 电子科学与应用物理学院,安徽 合肥 230009)

摘 要: 针对多路径路由片上网络(Network on Chip, NoC)数据传输时互连线自翻转产生的功耗,采用总线翻转(BI)编码算法和格雷码编码组成联合编码。根据虫孔路由 NoC 数据包的特性,对 BI 编码算法做一定的改进。通过对数据分组分别编码以及将冗余标志放置在数据包中的高位计数标志上的方式,在不添加冗余线的同时降低翻转率。同时引入格雷码编码,对数据包中的连续变化微片计数和数据包计数位进行编码。实验结果表明,这种联合编码的方式能够有效降低 NoC 的功耗。

关键词: 微电子学;片上网络;多路径路由;低功耗编码

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2017)03-0086-04

Low Power Associated Coding Design Based on Multi-Path Routing NoC

DU Gao-ming, LI Xiang-yang, MA Shi-bi, SONG Yu-kun, ZHANG Do-li

(School of Electronics Science & Applied Physics, Hefei University of Technology, Hefei 230009, China)

Abstract: Concerning the power consumption of self transitions based on multi-path routing NoC, the invert coding (BI) and gray coding are combined to work together. according to the data format of wormhole routing NoC, the invert coding are improved. We divide data into several groups and use the invert coding separately to reduce power consumption significantly. Considering that the transition algorithm do not perform so well when applied to sequential data, we use gray coding to implement associated coding. Experimental results show that the associated coding can reduce power consumption of NoC effectively.

Key words: microelectronics; network on chip; multi-path routing; low power coding

1 引言

随着集成电路芯片规模的不断增加,一种全新的基于网络通信的片上网络(Network on chip, NoC)^[1]被提出,用来解决复杂系统的通信问题。系统复杂度越高,其功耗也越大。功耗约束已成为 NoC 设计所面临的最重要问题之一。

在低功耗研究方面,一般可以分为两方面来降低电路的功耗,一是从设计入手,通过设计 NoC 内部模块结构,整体布局,拓扑结构等来实现低功耗;二是通过外加电路改变 NoC 中传输数据包的格式来降低 NoC 动态功耗,从而降低系统功耗。国内外已有一些降低 NoC 动态功耗研究,如 Lee^[2]提出一

种物理通道编码的算法 SILENT,该算法在串行化并行数据的翻转编码成“1”,利用连续数据的相关性,降低翻转概率。但是已有的算法并不适用于降低多路径路由 NoC 中数据传输的功耗。在多路径路由 NoC 中^[3],数据包的微片中除了必要的路由信息和载荷数据,还需要数据包计数标志和微片计数标志,这是由于每条路径上的拥塞情况不同,这可能会导致数据包后发先到。在网络的目的节点,需要根据每个微片的包计数标志和微片计数标志对数据包重新排序,保证数据的有序传输。

针对多路径路由 NoC 数据微片中的随机载荷数据以及连续变化的计数标志这一特性,本文提出将 BI 编码算法与格雷码编码算法组成联合编码,通

过 BI 算法对随机变化的载荷数据编码以及格雷码对连续变化的计数标志编码,同时为了提高编码效率,对随机变化的载荷数据进行分组编码,以降低网络数据传输的功耗.将翻转标志放置在数据微片的高位计数标志上,以减小面积开销.

2 多路径路由 NoC 平台

针对基于虫孔路由的多路径路由 NoC 平台^[3],通过对传输数据编解码来降低 NoC 的动态功耗.数

据在进入 NoC 之前要先进行打包,一个符合要求的数据包包括一个头微片,多个体微片和一个尾微片.本文所针对的 NoC 平台定义的数据位宽为 54.微片高两位为微片标志.头微片低 32 位为源节点和目的节点信息,网络根据是否接收到头微片来判断是否有一个新的传输请求在发生.体微片和尾微片的低 32 位为载荷数据.每个微片均包含包计数器和微片计数器两个计数部分.各个微片每个数据位的具体定义如表 1 所示.

表 1 NoC 数据包格式

微片类型	Packet[53;52]	Packet[51;44]	Packet[43;32]	Packet[31;0]
头微片	01(微片类型标志)	微片计数	包计数	源目的节点地址
体微片	11(微片类型标志)	微片计数	包计数	载荷数据
尾微片	10(微片类型标志)	微片计数	包计数	载荷数据

3 翻转编码与格雷码编码

3.1 翻转编码

翻转编码(B-I 编码)是由 Stan 和 Burleson 提出的^[4].此编码方法需要在数据线上增加一位冗余位 INV,作为当前数据的翻转情况.这种编码方法通过判断 t 时刻需要传输的数据与 $t-1$ 时刻数据线上经过编码的数据之间的 Hamming 距离(即数据发生翻转的比特数).当 Hamming 距离大于 $N/2$ (N 为数据线位宽)时,则对当前要传输的数据取反并将 INV 置 1;否则数据保持不变并将 INV 置 0.

编码计算公式如下:

$$(B^{(t)}, INV^{(t)}) = \begin{cases} (b^{(t)}, 0), & \text{Hamming} \leq N/2 \\ (\sim b^{(t)}, 1), & \text{Hamming} > N/2 \end{cases} \quad (1)$$

式中, $B^{(t)}$ 为在数据线上传输的数据, $INV^{(t)}$ 为翻转标志位, $b^{(t)}$ 为原始数据, Hamming 为汉明距离, N 为数据位宽.

在解码端,只需要对翻转标志进行判断,如果翻转标志位 1,则输出取反后的数据.如果翻转标志位 0,则直接将输入数据作为最终结果输出.

翻转编码主要有以下两个缺点:(1)适合传输的数据为随机数据,对于前后数据位为具有相关性的连续数据时,其降低功耗的作用很小;(2)编码效率随着数据宽度的增加而降低.针对上述问题,在将翻转编码应用到片上网络的同时,做出一定的改进.所设计的编码器将数据包中的 32 位数据分为 4 组,分别计算每一组数据的汉明距离并决定是否按位取反.为了不引入新的冗余标志位,将对应的 4 个翻转

标志放在微片计数器的高位.同时引入格雷码编码对数据包中微片计数器和包计数器部分编码.

3.2 格雷码编码

格雷码是一种无权码,采用绝对编码,相邻两个以格雷码编码的数据之间仅有一位发生翻转.编码就是将二进制表示的技术信息转化为对应的格雷码,解码则是一个相反的过程.

编码端算法:

假设一个 n 位二进制数为 $B_{n-1}B_{n-2}B_{n-3}\cdots B_1B_0$, 对应的 n 位格雷码为 $G_{n-1}G_{n-2}G_{n-3}\cdots G_1G_0$, 两者之间的关系由下式决定:

$$\begin{aligned} G_{n-1} &= B_{n-1} \\ G_i &= B_{i+1} \oplus B_i, i = 0, 1, 2, \cdots, n-2 \end{aligned} \quad (2)$$

解码端算法:

假设一个 n 位格雷码为 $G_{n-1}G_{n-2}G_{n-3}\cdots G_1G_0$, 对应的二进制数为 $B_{n-1}B_{n-2}B_{n-3}\cdots B_1B_0$, 两者之间的计算公式如下:

$$\begin{aligned} B_{n-1} &= G_{n-1} \\ B_{i-1} &= G_{i-1} \oplus B_i, i = 1, 2, \cdots, n-2, n-1 \end{aligned} \quad (3)$$

式(2)、(3)中, $\oplus$ 表示异或运算.

4 分组编码与格雷码联合编解码硬件设计

4.1 编码器硬件设计

格雷码和翻转编码联合编码硬件结构如图 1 所示,主要由总控逻辑、数据判断与拆分模块、汉明距离计算模块、数据翻转模块、格雷码编码模块、打包模块构成.

因为所有头微片低 32 位均携带源目的节点,如果进行编码,会由于路由器无法识别地址信息而导

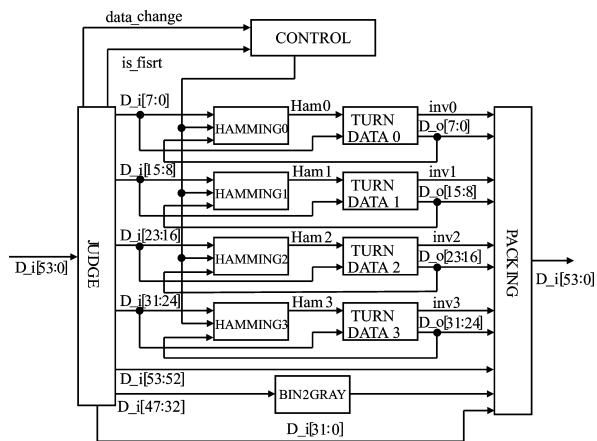


图 1 联合编码器硬件结构

致数据传输失败,所以联合编码器不对其编码。

数据首先进入判断与拆分模块. 该模块用于判断是否有新数据进入编码器以及该数据微片是否为头微片. 该模块定义了一个 54 bit 的临时寄存器用于暂存当前数据, 并将输入数据与临时寄存器中的数据进行实时比对. 若两者不相等, 则产生一个 data_change 信号. 总控逻辑接收到这个信号后启动编码器, 将计数器除高 4 位的其他部分即 data[47:32] 送入格雷码编码模块. 该模块同时根据微片头来判断是否是头微片, 若是头微片则拉高 is_first 信号, 低 32 位数据保持不编码. 如果当前微片不是头微片, 则将微片的低 32 位 data[31:0] 拆分成 4 组. 每组 8 位数据分别送入对应的汉明距离计算模块和数据翻转模块. 微片的头标志 data[53:52] 直接送入打包模块.

汉明距离计算模块主要由异或计算和加法树构成. 该模块的输入为上一次编码结果和判断与拆分模块的输出. 首先对两个数据进行按位异或计算, 并将所得结果按位累加得到汉明距离.

数据翻转模块主要执行对数据按位取反的操作. 该模块接收前级模块输出的汉明距离信息, 并将汉明距离和数据位宽作比较, 并设置相应翻转标志. 根据翻转标志决定最后输出原数据还是取反后的数据, 并将所得结果连同翻转标志信号一起送入打包模块.

格雷码编码模块将微片计数器和包计数器由原来的二进制转变为格雷码, 输出到打包模块.

打包模块接收来自前级模块的数据, 翻转标志, 格雷码计数器以及微片头的输出, 并重新打包成符合 NoC 传输协议的数据包, 送入对应路由节点的本地通道.

4.2 解码器硬件设计

解码器主要由数据拆分模块、数据翻转模块、格雷码转二进制模块三部分构成. 为了便于统计在网络传输过程中是否有丢包情况, 以及验证编解码电路的正确性, 本文设计中额外增加了一个打包模块, 将解码后的数据打包成原始数据格式, 方便比较. 这个模块并不是必须的. 解码器的硬件结构如图 2 所示.

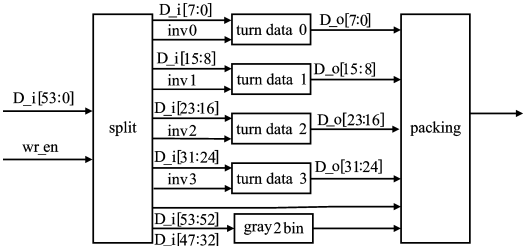


图 2 联合解码器结构

解码器的工作即为编码器的逆向过程, 将数据根据对应的翻转标志恢复为编码之前的数据.

5 实验

本设计采用 Verilog HDL 对各个模块进行寄存器传输级 (RTL) 建模, 并将编解码电路挂载到 NoC 上, 在 Alter Cyclone V FPGA 开发板验证了其逻辑功能的正确性. 在 50 MHz 时钟的条件下采用 SMIC 0.18 μm 的工艺库, 使用 Synopsys DC 对 RTL 代码进行综合, 用 Prime Time 对电路进行功耗分析.

实验选用最小的规模的 NoC, 即 2×2 , 采用一次编码一次解码的挂载方式, 如图 3 所示. 测试激励为从高效率视频编码 (HEVC) 编码器中提取的码流, 数据量为 10 000 个数据微片.

挂载编解码电路前后, 整个网络的功耗和面积对比如表 2 所示. 从表中可以得出, 在挂载了编解码电路后, 整个 NoC 网络的总功耗降低了 12.1%, 总面积增加了 5.6%.

表 2 功耗与面积对比

	NoC	挂载翻转编码
Total Power/mW	0.242 6	0.213 2
Total Area/ μm^2	45 345 556.039 258	47 906 903.531 432

6 结束语

本文对特定的 NoC 平台作功耗优化, 选择电路

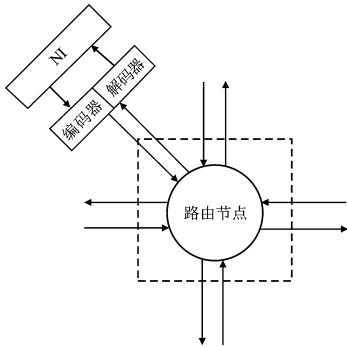


图 3 一次编码一次解码结构

中的开关功耗作为优化对象. 针对电路中信号的自翻转,选择互连线翻转编码来降低数据的翻转率,采用分组编码的方式,将原始的 32 bit 数据分为四组分别编码,并且不需要再额外添加冗余标志位. 同时引入格雷码对数据包中的数据包计数器和微片计数器编码. 实验结果表明,这种联合编码的方式可以有效降低 NoC 的功耗.

参考文献:

[1] Dally William J, Towles Brian. Route packets, not wires: on-chip inteconnection networks[C]// Design Automation Conference. ACM, 2001:684-689.

[2] Lee K, Lee S J, Yoo H J. SILENT: serialized low energy transmission coding for on-chip interconnection networks[C]// Computer-Aided Design, International Conference on. IEEE, 2004:448-451.

[3] Du G, Li M, Lu Z, et al. An analytical model for worst-case reorder buffer size of multi-path minimal routing NoCs[C]// Networks-on-Chip (NoCS), 2014 Eighth IEEE/ACM International Symposium on. IEEE, 2015:49-56.

[4] Stan M R, Burleson W P. Bus-invert coding for low-power I/O[J]. IEEE Transactions on Very Large Scale Integration Systems, 1995, 3(1):49-58.

作者简介:

杜高明 男,(1977-),博士,副研究员. 研究方向为多核集成电路体系结构、二维/三维片上网络集成体系结构.

李向阳(通讯作者) 男,(1977-),硕士研究生. 研究方向为片上网络性能. E-mail:597042025@qq. com.

马世碧 女,(1992-),硕士研究生. 研究方向为片上网络体系结构.

宋宇鲲 男,(1975-),博士,副研究员. 研究方向为面向数据密集与计算机密集应用的 SoC/MPSoC 体系结构与实现.

张多利 男,(1976-),博士,研究员. 研究方向为多核处理器体系结构与设计方法、多媒体专用集成电路设计实现等.

(上接第 85 页)

参考文献:

[1] 刘华峰,罗宏伟,王立纬,硬件木马综述 [J]. 微电子学,2011, 31(5): 709-713.

[2] Tehranipoor M, Salmani H, Zhang X, et al. Trust-worthy hardware: Trojan detection and design-for-trust challenges[J]. Computer, 2011, 44(7): 66-74.

[3] Seethram Narasimhan, Somnath Paul, Kaushilk Roy. Hardware Trojan detection by multiple-parameter side-channel analysis [J]. IEEE Transaction on Computers, 2013, 62(11): 2183-2195.

[4] Yier J, Makris Y. Hardware Trojans inwireless cryptographic ICs[J]. IEEE Design & Test of Computers, 2010, 27(1): 26-35.

[5] 刘长龙,赵毅强,史亚峰,等,基于侧信道分析的硬件木马建模与优化 [J],华中科技大学学报(自然科学

版), 2013, 41(2): 53-57.

[6] Baumgarten A, Steffen M, Clausman M, et al. A case study in hardware Trojan design and implementation [J]. International Journal of Information Security, 2011,10(1): 1-14.

[7] Rad R, Plusquellic J, Tehranipoor M. A sensitivity analysis of power signal methods for detecting hardware Trojans under real process and environmental conditions[J]. IEEE Transactions on Very Large Scale Integration Systems, 2010, 18(12): 1735-1744.

作者简介:

王林 男(仡佬族),(1991-),硕士. 研究方向为数字集成电路设计和测试.

魏敬和(通讯作者) 男,(1975-),博士. 研究方向为大规模数字集成电路设计与测试. E-mail:920770745@qq. com.